

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Tomoya BANDO Serial No.: Currently unknown Filing Date: Concurrently herewith For: MULTILAYER CERAMIC SUBSTRATE WITH A CAVITY	
--	--

TRANSMITTAL OF PRIORITY DOCUMENTS

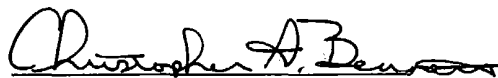
Mail Stop PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of each of Japanese Patent Application No. **2002-218349** filed **July 26, 2002**, from which priority is claimed under 35 U.S.C. 119 and Rule 55b. Acknowledgement of the priority document is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

Date: July 7, 2003



Attorneys for Applicant(s)
Joseph R. Keating
Registration No. 37,368

Christopher A. Bennett
Registration No. 46,710

KEATING & BENNETT LLP
10400 Eaton Place, Suite 312
Fairfax, VA 22030
Telephone: (703) 385-5200

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月26日

出 願 番 号

Application Number:

特願2002-218349

[ST.10/C]:

[JP2002-218349]

出 願 人

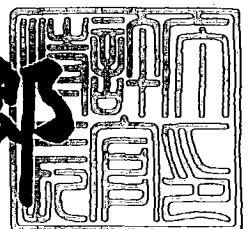
Applicant(s):

株式会社村田製作所

2003年 6月 2日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3041838

【書類名】 特許願

【整理番号】 102050

【提出日】 平成14年 7月26日

【あて先】 特許庁長官殿

【国際特許分類】 H05K 1/16
H01L 23/02

【発明者】

【住所又は居所】 京都府長岡京市天神二丁目26番10号 株式会社村田
製作所内

【氏名】 坂東 知哉

【特許出願人】

【識別番号】 000006231

【氏名又は名称】 株式会社村田製作所

【代表者】 村田 泰隆

【代理人】

【識別番号】 100085143

【弁理士】

【氏名又は名称】 小柴 雅昭

【電話番号】 06-6779-1498

【手数料の表示】

【予納台帳番号】 040970

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 キャビティ付き多層セラミック基板

【特許請求の範囲】

【請求項 1】 複数の積層されたセラミック層をもって構成される積層体を備え、前記積層体には、その少なくとも一方の主面上に開口を位置させたキャビティが設けられ、前記キャビティの底面上には、底面導体膜が設けられ、前記キャビティ内には、電子部品が収容されている、キャビティ付き多層セラミック基板であって、

静電容量を形成するように、特定の前記セラミック層を介して前記底面導体膜に対向する容量形成用導体膜が前記積層体の内部に設けられていることを特徴とする、キャビティ付き多層セラミック基板。

【請求項 2】 前記底面導体膜は、グラウンド電位が与えられるものである、請求項 1 に記載のキャビティ付き多層セラミック基板。

【請求項 3】 前記電子部品は、非導電性接着剤を介して前記底面導体膜に接合されている、請求項 1 または 2 に記載のキャビティ付き多層セラミック基板。

【請求項 4】 前記電子部品は、前記底面導体膜に電氣的に接続されている、請求項 1 または 2 に記載のキャビティ付き多層セラミック基板。

【請求項 5】 前記底面導体膜は、前記キャビティの底面を越えて前記積層体の内部にまで延びるように設けられている、請求項 1 ないし 4 のいずれかに記載のキャビティ付き多層セラミック基板。

【請求項 6】 前記底面導体膜は、前記キャビティの底面の範囲内で延びるように設けられている、請求項 1 ないし 4 のいずれかに記載のキャビティ付き多層セラミック基板。

【請求項 7】 前記容量形成用導体膜は、1 層の前記セラミック層を介して前記底面導体膜に対向するように設けられている、請求項 1 ないし 6 のいずれかに記載のキャビティ付き多層セラミック基板。

【請求項 8】 前記容量形成用導体膜は、前記底面導体膜との間で分布定数型の静電容量を形成するストリップラインを構成している、請求項 1 ないし 6 の

いずれかに記載のキャビティ付き多層セラミック基板。

【請求項 9】 適宜の実装基板上に実装される際に実装基板に対して電氣的に接続される外部端子電極が前記積層体の外表面上に設けられ、前記底面導体膜は、前記外部端子電極に電氣的に接続される、請求項 1 ないし 8 のいずれかに記載のキャビティ付き多層セラミック基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、キャビティ付き多層セラミック基板に関するもので、特に、キャビティ付き多層セラミック基板の薄型化を図るための改良に関するものである。

【0002】

【従来の技術】

図 8 は、この発明にとって興味ある従来のキャビティ付き多層セラミック基板 1 を示す断面図である。

【0003】

キャビティ付き多層セラミック基板 1 は、想像線で示す実装基板 2 上に実装されるもので、複数の積層されたセラミック層 3 をもって構成される積層体 4 を備えている。積層体 4 には、その少なくとも一方の主面、たとえば実装基板 2 側に向く主面 5 上に開口 6 を位置させたキャビティ 7 が設けられ、キャビティ 7 内には、たとえば IC チップや弾性表面波フィルタ等のチップ状の電子部品 8 が搭載されている。

【0004】

積層体 4 の内部には、詳細には図示しないが、いくつかの内部導体膜およびいくつかのビアホール導体が設けられ、このキャビティ付き多層セラミック基板 1 において必要な配線を与えている。また、これら内部導体膜およびビアホール導体は、コンデンサ、インダクタ、遅延線および／またはフィルタ等を構成するように配置されることもある。積層体 4 の内部には、上述した内部導体膜のほか、抵抗器を与える抵抗体膜が設けられることもある。

【0005】

図8には、上述したコンデンサを構成する1対の容量形成用導体膜9および10が特定のセラミック層3を介して対向するように配置されている状態が図示されている。

【0006】

図8には図示しないが、積層体4の、キャビティ7が設けられた主面5とは逆の主面11上に、いくつかの外部導体膜が設けられ、この外部導体膜を用いて、コンデンサ、インダクタ、抵抗器、ダイオード、IC、メモリ等の他の電子部品が搭載されることもある。

【0007】

キャビティ7の底面12上には、底面導体膜13が設けられることが多い。底面導体膜13は、金属を主成分とするものであるので、セラミック層3あるいは電子部品8とは異なる色調を与え得る。したがって、キャビティ7内に電子部品8を搭載しようとするときの電子部品8の位置を光学的に認識することが容易になる。このことから、底面導体膜13は、まず、電子部品8の位置認識を容易にする機能を有している。

【0008】

また、底面導体膜13には、グラウンド電位が与えられることが多い。このような場合であって、電子部品8がグラウンド接続される必要がある場合には、底面導体膜13は、電子部品8と電氣的に接続され、電子部品8に対するグラウンドを確保するために用いられる。

【0009】

なお、底面導体膜13にグラウンド電位が与えられるか否かに関わらず、電子部品8が底面導体膜13に電氣的に接続される必要がない場合には、電子部品8は、非導電性接着剤を介して底面導体膜13に接合される。

【0010】

【発明が解決しようとする課題】

電子機器の小型化に対する要望を満たすため、そこに用いられる種々の電子部品についての小型化が進んでいる。したがって、上述したようなキャビティ付き多層セラミック基板1においても、小型化、特に薄型化を進めることが、これが

用いられる電子機器の小型化にとって有利である。

【0011】

しかしながら、図8に示したようなキャビティ付き多層セラミック基板1にあつては、さらなる薄型化の余地が残されている。

【0012】

そこで、この発明の目的は、一層の薄型化を図り得るキャビティ付き多層セラミック基板の構造を提供しようとするものである。

【0013】

【課題を解決するための手段】

この発明は、複数の積層されたセラミック層をもって構成される積層体を備え、この積層体には、少なくとも一方の主面上に開口を位置させたキャビティが設けられ、キャビティの底面上には、底面導体膜が設けられ、キャビティ内には、電子部品が収容されている、キャビティ付き多層セラミック基板に向けられるものであつて、上述した技術的課題を解決するため、静電容量を形成するように、特定のセラミック層を介して上述の底面導体膜に対向する容量形成用導体膜が積層体の内部に設けられていることを特徴としている。

【0014】

簡単に言えば、この発明では、上述のように、底面導体膜を、静電容量形成のためにも用いるようにし、積層体に関連して設けられる導体膜の効率的な利用を図ることにより、必要な導体膜の数を減らし、それによるセラミック層の数の減少を図り、その結果として、キャビティ付き多層セラミック基板の薄型化を図ろうとするものである。

【0015】

この発明をなすに至った背景には、キャビティの底面上に設けられる底面導体膜は、比較的広い面積を有し、静電容量形成に適していることに着目したことに加えて、近年のキャビティ付き多層セラミック基板の製造技術の発展がある。

【0016】

すなわち、キャビティ付き多層セラミック基板を製造するには、複数のセラミックグリーンシートを積層してなるもので、そこにキャビティが設けられた生の

積層体を作製し、これを積層方向にプレスした後、焼成する工程が実施される。この場合において、キャビティの底面にまで均一にプレス作用を及ぼすことが困難であり、また、生の積層体を焼成するとき、特にそこにキャビティが設けられている場合には、積層体全体で均一に収縮を生じさせることが困難である。このようなことから、従来は、キャビティの底面において、高い精度をもって平坦な面を得ることが困難であり、したがって、この底面上に設けられた底面導体膜を静電容量を形成するための導体膜として利用したとしても、静電容量のばらつきが大き過ぎ、実用に供し得ないものであった。

【0 0 1 7】

これに対して、近年では、たとえば、プレス工程においてキャビティの内面に沿って変形し得る弾性体を用いたり、あるいは、焼成工程において、収縮抑制用無機材料粉末を含む拘束層を生積層体とともに積層した状態で焼成工程を実施するいわゆる無収縮プロセスを適用したりすることによって、キャビティの底面において良好な平坦性が得られるようになってきている。そのため、キャビティの底面上に設けられた底面導体膜は、静電容量を形成するための導体膜として実用できるレベルにまで達してきている。このことが、前述したように、この発明をなすに至った背景の1つである。

【0 0 1 8】

この発明に係るキャビティ付き多層セラミック基板において、底面導体膜は、グラウンド電位が与えられるものであることが好ましい。

【0 0 1 9】

また、キャビティ内に收容される電子部品は、非導電性接着剤を介して底面導体膜に接合されても、底面導体膜に電氣的に接続されてもよい。

【0 0 2 0】

また、底面導体膜は、キャビティの底面を越えて積層体の内部にまで延びるように設けられても、キャビティの底面の範囲内で延びるように設けられてもよい。

【0 0 2 1】

容量形成用導体膜は、1層のセラミック層を介して底面導体膜に対向するよう

に設けられることが好ましい。

【 0 0 2 2 】

容量形成用導体膜は、底面導体膜との間で分布定数型の静電容量を形成するストリップラインを構成していてもよい。

【 0 0 2 3 】

この発明に係るキャビティ付き多層セラミック基板が適宜の実装基板上に実装されるものである場合、この実装基板上に実装される際に実装基板に対して電氣的に接続される外部端子電極が積層体の外表面上に設けられるが、底面導体膜は、このような外部端子電極に電氣的に接続されていてもよい。

【 0 0 2 4 】

【発明の実施の形態】

図 1 は、この発明の第 1 の実施形態によるキャビティ付き多層セラミック基板 2 1 を示す断面図である。

【 0 0 2 5 】

キャビティ付き多層セラミック基板 2 1 は、想像線で示す実装基板 2 2 上に実装されるものであり、複数の積層されたセラミック層 2 3 をもって構成される積層体 2 4 を備えている。積層体 2 4 には、その少なくとも一方の主面、たとえば、実装基板 2 2 側に向く主面 2 5 上に開口 2 6 を位置させたキャビティ 2 7 が設けられている。キャビティ 2 7 内には、IC チップや弾性表面波フィルタ等のチップ状の電子部品 2 8 が收容されて搭載されている。

【 0 0 2 6 】

図 1 では図示されないが、積層体 2 4 のキャビティ 2 7 が設けられた主面 2 5 とは反対側の主面 2 9 上には、いくつかの外部導体膜が設けられ、これら外部導体膜を用いて、コンデンサ、インダクタ、抵抗器、ダイオード、IC、メモリ等の他の電子部品が搭載されることがある。

【 0 0 2 7 】

キャビティ 2 7 の底面 3 0 上には、底面導体膜 3 1 が設けられている。この実施形態では、底面導体膜 3 1 は、キャビティ 2 7 の底面 3 0 を越えて積層体 2 4 の内部にまで延びるように設けられている。

【 0 0 2 8 】

図 1 において詳細には図示しないが、積層体 2 4 の内部には、セラミック層 2 3 間の界面に沿っていくつかの内部導体膜が設けられ、また、特定のセラミック層 2 3 を貫通するようにいくつかのビアホール導体が設けられている。

【 0 0 2 9 】

これら内部導体膜のうちの 1 つは、図示された容量形成用導体膜 3 2 であり、この容量形成用導体膜 3 2 は、特定のセラミック層 2 3 を介して底面導体膜 3 1 に対向するように設けられていて、ここに静電容量が形成される。図示のように、容量形成用導体膜 3 2 が、単に 1 層のセラミック層 2 3 を介して底面導体膜 3 1 に対向するように設けられていると、比較的大きい静電容量を得ることができる。また、内部導体膜のうちの他の 1 つとしての内部導体膜 3 3 も図示されている。

【 0 0 3 0 】

また、ビアホール導体のうちの 1 つが、図示されたビアホール導体 3 4 であり、このビアホール導体 3 4 は、底面導体膜 3 1 と内部導体膜 3 3 とを電氣的に接続している。

【 0 0 3 1 】

また、詳細には図示しないが、積層体 2 4 の外表面上には、このキャビティ付き多層セラミック基板 2 1 を実装基板 2 2 上に実装する際に実装基板 2 2 に対して電氣的に接続されるいくつかの外部端子電極が設けられている。これら外部端子電極のうちの 1 つが、図示された外部端子電極 3 5 であり、この外部端子電極 3 5 は、内部導体膜 3 3 と電氣的に接続されることによって、ビアホール導体 3 4 を介して底面導体膜 3 1 に電氣的に接続されている。

【 0 0 3 2 】

この実施形態では、外部端子電極 3 5 は、ビアホール導体と同様の方法によって形成され、通常のビアホール導体を形成した後、これをローラーブレイク等で分割することによって形成することができる。

【 0 0 3 3 】

外部端子電極 3 5 が実装基板 2 2 のグラウンド電位に電氣的に接続される場合

には、底面導体膜 3 1 には、グラウンド電位が与えられる。電子部品 2 8 がグラウンド接続を必要とする場合、この底面導体膜 3 1 への電氣的接続が利用され、グラウンドが確保される。

【 0 0 3 4 】

また、外部端子電極 3 5 は、実装基板 2 2 のグラウンド電位に電氣的に接続されるものでない場合もあり得る。この場合、電子部品 2 8 において必要なグラウンド接続は、たとえばワイヤボンディング等の他の方法によって、積層体 2 4 に備えるグラウンド電位を有する導体と電氣的に接続される。

【 0 0 3 5 】

また、電子部品 2 8 は、底面導体膜 3 1 に対して電氣的に接続される必要がない場合もある。この場合には、電子部品 2 8 は、非導電性接着剤（図示せず。）を介して底面導体膜 3 1 に接合される。

【 0 0 3 6 】

図 1 において、積層体 2 4 の内部に設けられる内部導体膜およびビアホール導体は、その代表的なもののみが図示されている。これら内部導体膜およびビアホール導体は、このキャビティ付き多層セラミック基板 2 1 において必要な配線を与えると同時に、必要に応じて、前述した底面導体膜 3 1 と容量形成用導体膜 3 2 とによって構成されたコンデンサ以外のコンデンサ、インダクタ、遅延線および／またはフィルタ等の素子を構成するようにされる。また、積層体 2 4 の内部には、抵抗体膜が設けられることもある。

【 0 0 3 7 】

また、キャビティ付き多層セラミック基板 2 1 は、図示しないが、携帯電話機等で用いられる高周波スイッチやブルートゥース（Blue tooth）のような無線通信で用いられる高周波モジュールにおいて必要な素子を備える構成とされることもある。この場合には、上述の高周波スイッチや高周波モジュールにおいて必要な素子は、積層体 2 4 に内蔵されたり、積層体 2 4 上に搭載されたりする。

【 0 0 3 8 】

前述した底面導体膜 3 1 と容量形成用導体膜 3 2 とによって構成されたコンデ

ンサが与える静電容量を調整する必要が生じる場合がある。この場合、底面導体膜31の少なくとも一部は、キャビティ27内において露出しているので、トリミングすることが容易であり、したがって、静電容量の調整を容易に行なうことができる。

【0039】

トリミングにあたっては、この実施形態のように、底面導体膜31がキャビティ27の底面30を越えて積層体24の内部にまで延びるように設けられている場合には、底面導体膜31を、そのキャビティ27の底面30上にある部分において、除去することが行われる。この場合、ある領域の全域を除去しても、ある領域の輪郭のみを除去してもよい。

【0040】

他方、後述する図2、図4または図7に示した実施形態のように、底面導体膜31、31aまたは31bの端縁がキャビティ27の底面30上に位置している場合には、上述の除去態様と同様の除去態様を採用することもできるが、底面導体膜31、31aまたは31bの端部をカットするようにトリミングが実施されてもよい。

【0041】

図2ないし図7は、それぞれ、この発明の第2ないし第7の実施形態を説明するための図1に対応する図である。図2ないし図7においても、図1の場合と同様、特徴的構成のみが図示されている。図2ないし図7において、図1に示した要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

【0042】

図2に示したキャビティ付き多層セラミック基板21aにおいては、底面導体膜31は、キャビティ27の底面30の範囲内で延びるように設けられている。

【0043】

この底面導体膜31に対する電氣的接続については図示されないが、たとえば、ビアホール導体を介して、容量形成用導体膜32以外の内部導体膜に電氣的に接続されたり、底面導体膜31と同一面上に位置するライン状の導体膜に電氣的に接続されたりしている。また、底面導体膜31は電子部品28と電氣的に接続

され、それによって、底面導体膜 3 1 と容量形成用導体膜 3 2 とによって形成されたコンデンサが電子部品 2 8 と電氣的に接続されるようにしてもよい。

【 0 0 4 4 】

図 3 に示したキャビティ付き多層セラミック基板 2 1 b においては、底面導体膜 3 1 が、キャビティ 2 7 の底面 3 0 を越えて積層体 2 4 の内部にまで延びるように設けられていながら、このような底面導体膜 3 1 に共通に対向するように、2 つの容量形成用導体膜 3 2 a および 3 2 b が横に並んで配置されている。

【 0 0 4 5 】

また、底面導体膜 3 1 は、ビアホール導体 3 8 を介して外部端子電極 3 9 に電氣的に接続されている。外部端子電極 3 9 は、ランドグリッドアレイタイプのもので、たとえば、印刷や転写等により付与された導電性ペーストからなる膜を焼き付けることによって形成される。

【 0 0 4 6 】

図 4 に示したキャビティ付き多層セラミック基板 2 1 c においては、キャビティ 2 7 の底面 3 0 上に、2 つの底面導体膜 3 1 a および 3 1 b が横に並んで配置されている。また、底面導体膜 3 1 a および 3 1 b は、キャビティ 2 7 の底面 3 0 を越えて積層体 2 4 の内部にまで延び、さらに積層体 2 4 の側面にまで延びるように設けられている。

【 0 0 4 7 】

積層体 2 4 の側面には、外部端子電極 4 2 および 4 3 が設けられ、上述した 2 つの底面導体膜 3 1 a および 3 1 b は、それぞれ、外部端子電極 4 2 および 4 3 に電氣的に接続される。外部端子電極 4 2 および 4 3 は、図 1 に示した外部端子電極 3 5 と同様の方法によって形成されることができる。

【 0 0 4 8 】

また、積層体 2 4 の内部には、底面導体膜 3 1 a および 3 1 b の各々に対して、1 層のセラミック層を介してそれぞれ対向する 2 つの容量形成用導体膜 3 2 a および 3 2 b が横に並んで配置されている。

【 0 0 4 9 】

図 5 に示したキャビティ付き多層セラミック基板 2 1 d においては、底面導体

膜 31 に対向するように設けられる容量形成用導体膜 32c および 32d は、底面導体膜 31 との間で分布定数型の静電容量を形成するストリップラインを形成している。この場合、図示しないが、底面導体膜 31 は、グラウンド電位とされ、このようにグラウンド電位とされた底面導体膜 31 とストリップラインを構成する容量形成用導体膜 32c および 32d との間には、必要なトリプレート厚を得るため、底面導体膜 31 と容量形成用導体膜 32c および 32d との間には、複数層のセラミック層 23 が介在される。

【0050】

図 6 に示したキャビティ付き多層セラミック基板 21e においては、容量形成用導体膜 32 には、ビアホール導体 46 を介してライン状の内部導体膜 47 が電氣的に接続される。内部導体膜 47 は、たとえばインダクタを構成する内部導体膜の一部である。底面導体膜 31 は、図示しないが、グラウンド電位に接続される。この実施形態によれば、インダクタおよびコンデンサが直列に接続された共振回路を、底面導体膜 31、容量形成用導体膜 32、ビアホール導体 46 および内部導体膜 47 によって与えることができる。

【0051】

図 7 に示したキャビティ付き多層セラミック基板 21f は、以上説明したキャビティ付き多層セラミック基板 21a～21e の場合とは異なり、積層体 24 のキャビティ 27 が設けられた側の主面 25 とは反対側の主面 29 が実装基板 22 に対向するように実装されることを特徴としている。

【0052】

図 7 に示したキャビティ付き多層セラミック基板 21f においては、図 4 に示したキャビティ付き多層セラミック基板 21c の場合と同様、2つの底面導体膜 31a および 31b ならびに 2つの容量形成用導体膜 32a および 32b が設けられている。また、底面導体膜 31a および 31b は、それぞれ、外部端子電極 50 および 51 に電氣的に接続されている。

【0053】

なお、上述したような底面導体膜 31a および 31b、容量形成用導体膜 32a および 32b ならびに外部端子電極 50 および 51 のそれぞれの設け方につい

ては、本質的な特徴ではなく、図 7 に示した実施形態は、あくまでも、キャビティ 2 7 が上向きの状態で実装基板 2 2 上に実装されるキャビティ付き多層セラミック基板 2 1 f に対しても、この発明が適用されることを明示するためのものである。

【0 0 5 4】

以上、この発明を図示したいくつかの実施形態について説明したが、この発明の範囲内において、その他、種々の変形例が可能である。

【0 0 5 5】

たとえば、図示した積層体 2 4 におけるセラミック層 2 3 の積層数や、キャビティ 2 7 の位置、形状、大きさおよび数、あるいは、積層体 2 4 に関連して設けられる内部導体膜、ビアホール導体、外部端子電極等の配置については、得ようとするキャビティ付き多層セラミック基板の設計に応じて任意に変更することができる。

【0 0 5 6】

【発明の効果】

以上のように、この発明によれば、キャビティの底面上に設けられた底面導体膜に対向して静電容量を形成するように、容量形成用導体膜が積層体の内部に設けられているので、底面導体膜を静電容量形成のための導体膜として効率的に利用できるのもので、静電容量を形成するための対をなす容量形成用導体膜を別に設ける場合に比べて、セラミック層の積層数を少なくすることができ、その結果、キャビティ付き多層セラミック基板の薄型化を有利に図ることができる。

【図面の簡単な説明】

【図 1】

この発明の第 1 の実施形態によるキャビティ付き多層セラミック基板 2 1 を示す断面図である。

【図 2】

この発明の第 2 の実施形態によるキャビティ付き多層セラミック基板 2 1 a を示す断面図である。

【図 3】

この発明の第 3 の実施形態によるキャビティ付き多層セラミック基板 2 1 b を示す断面図である。

【図 4】

この発明の第 4 の実施形態によるキャビティ付き多層セラミック基板 2 1 c を示す断面図である。

【図 5】

この発明の第 5 の実施形態によるキャビティ付き多層セラミック基板 2 1 d を示す断面図である。

【図 6】

この発明の第 6 の実施形態によるキャビティ付き多層セラミック基板 2 1 e を示す断面図である。

【図 7】

この発明の第 7 の実施形態によるキャビティ付き多層セラミック基板 2 1 f を示す断面図である。

【図 8】

この発明にとって興味ある従来のキャビティ付き多層セラミック基板 1 を示す断面図である。

【符号の説明】

2 1, 2 1 a, 2 1 b, 2 1 c, 2 1 d, 2 1 e, 2 1 f キャビティ付き多層セラミック基板

2 2 実装基板

2 3 セラミック層

2 4 積層体

2 5, 2 9 主面

2 6 開口

2 7 キャビティ

2 8 電子部品

3 0 底面

3 1, 3 1 a, 3 1 b 底面導体膜

3 2, 3 2 a, 3 2 b, 3 2 c, 3 2 d 容量形成用導体膜

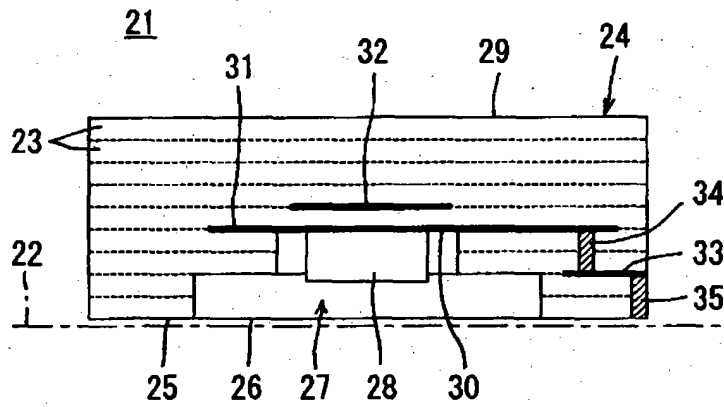
3 3 内部導体膜

3 4, 3 8, 4 6 ビアホール導体

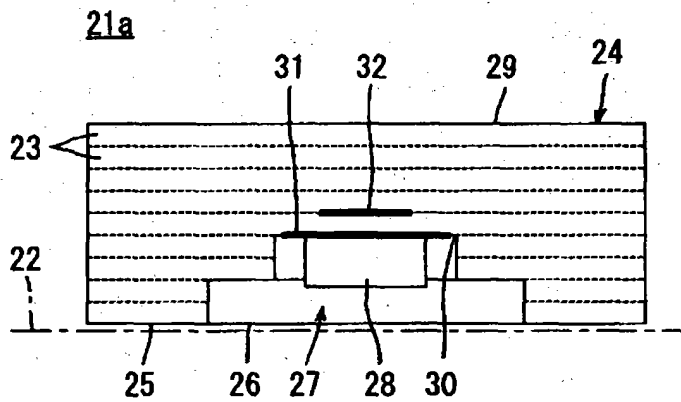
3 5, 3 9, 4 2, 4 3, 5 0, 5 1 外部端子電極

【書類名】 図面

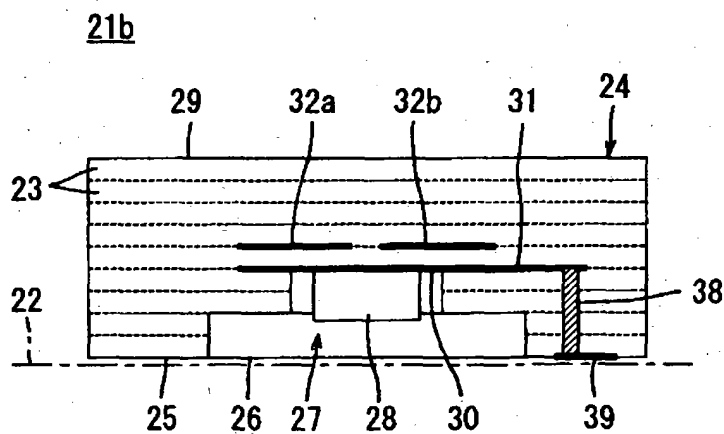
【図 1】



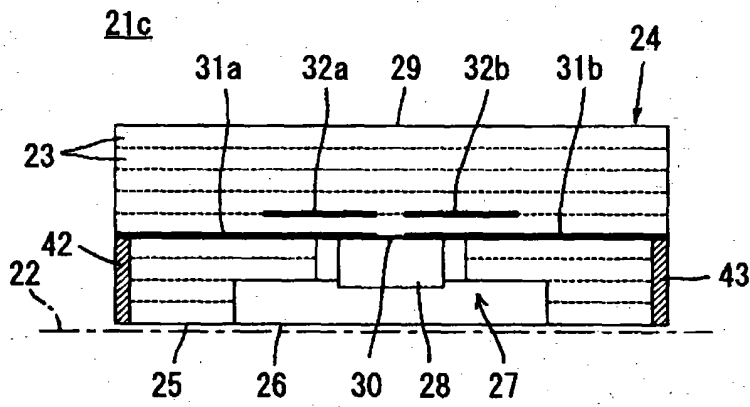
【図 2】



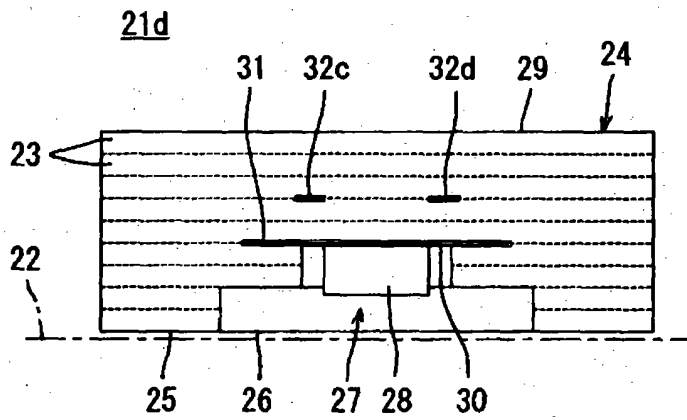
【図 3】



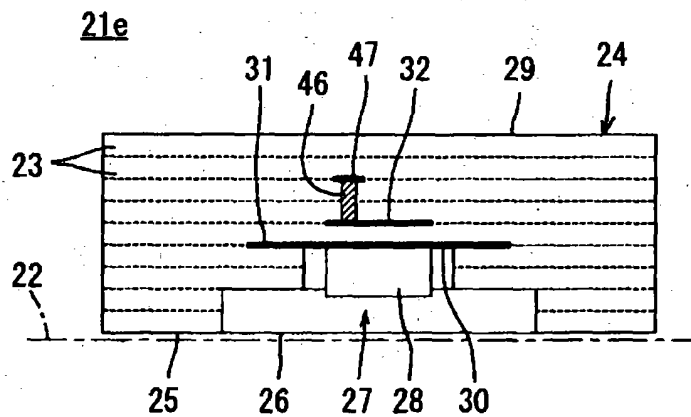
【図 4】



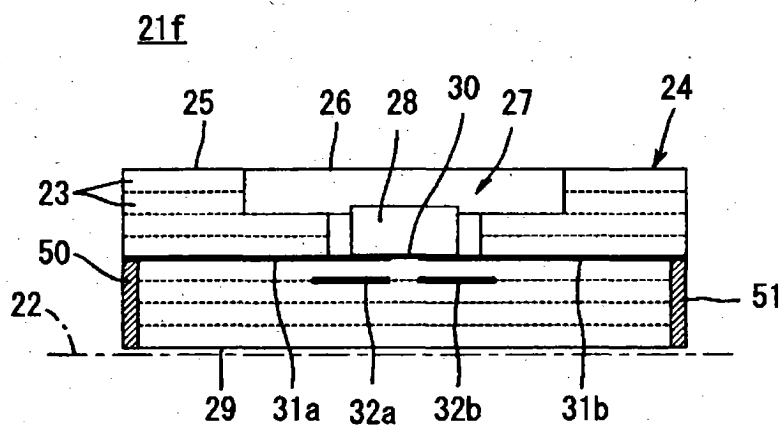
【図 5】



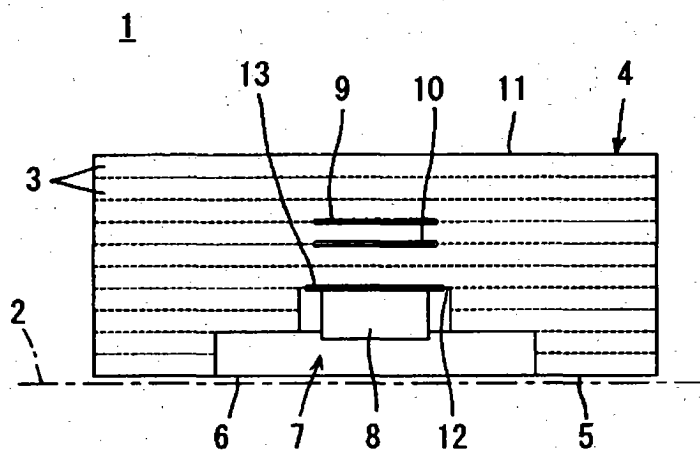
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 キャビティ付き多層セラミック基板の一層の薄型化を図る。

【解決手段】 複数の積層されたセラミック層 23 をもって構成される積層体 24 を備え、積層体 24 には、その一方主面 25 上に開口 26 を位置させたキャビティ 27 が設けられ、キャビティ 27 の底面 30 上には、底面導体膜 31 が設けられている、キャビティ付き多層セラミック基板 21 において、静電容量を形成するように、セラミック層 23 を介して底面導体膜 31 に対向する容量形成用導体膜 32 を積層体 24 の内部に設ける。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006231]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 京都府長岡京市天神二丁目26番10号

氏 名 株式会社村田製作所